

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-201036

(43)Date of publication of application : 02.09.1991

(51)Int.Cl. G06F 11/22
G06F 15/78

(21)Application number : 01-340217

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.12.1989

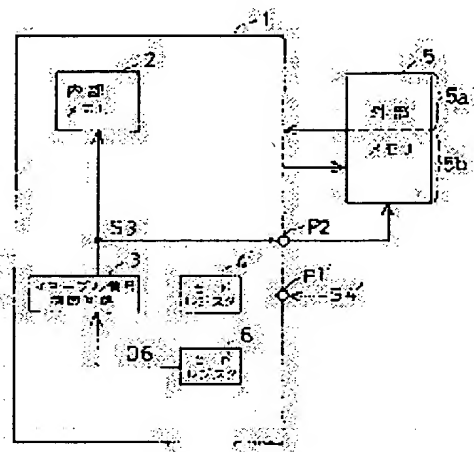
(72)Inventor : WAKIMOTO AKIHIKO

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To realize an evaluation mode capable of performing the correct evaluation of execution hourly by providing a memory access time control means.

CONSTITUTION: An enable signal control circuit 3 sets a comparatively short period of an L level for an enable signal S3 based on an address to receive an access and performs an access at a high speed. Then the circuit 3 sets a long access time for access to an external memory 5. In such conditions, an automatic access time changing function is provided to set a comparatively long period of the L level for the signal S3 and to perform an access at a low speed. In an evaluation mode, the automatic access time changing function of the circuit 3 is set and an access is given at a high speed to the area 5a of the memory 5 allocated to an address where an access is given to an internal memory 2 which is capable of a high speed access in a real application state. Thus, it is possible to perform the correct evaluation of execution hourly for a program which is carried out in an evaluation mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平3-201036

⑤Int. Cl.⁹G 06 F 11/22
15/78

識別記号

3 4 0 C
5 1 0 K

庁内整理番号

7230-5B
9072-5B

⑬公開 平成3年(1991)9月2日

審査請求 未請求 請求項の数 1 (全6頁)

⑭発明の名称 マイクロコンピュータ

⑮特 願 平1-340217

⑯出 願 平1(1989)12月28日

⑰発 明 者 脇 本 昭 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑱出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

(1) 内部メモリを有し、外部メモリともアクセスが可能なマイクロコンピュータであって、

外部より入力可能で、エバリュエーションモードを指示する第1のモードデータを格納する第1のモードレジスタと、

エバリュエーションモード中に、実使用状態に適合した、メモリへのアクセス時間を指示する第2のモードデータを格納する第2のモードレジスタと、

前記第1のモードデータに基づき、外部メモリとアクセスするCPUと、

前記第2のモードデータに基づき、実使用状態に適合した前記CPUのメモリへのアクセス時間を制御するメモリアクセス時間制御手段とを備えたマイクロコンピュータ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、内部メモリを有し、外部メモリともアクセスが可能なマイクロコンピュータに関する。

〔従来の技術〕

第2図は従来のマイクロコンピュータを示したブロック構成図である。

同図に示すように、マイクロコンピュータ1はROM等の内部メモリ2を内蔵している。マイクロコンピュータ1中の図示しないCPUは、イネーブル信号制御回路3より出力されるイネーブル信号S3がLレベル期間中に内部メモリ2とアクセスする。また、CPUは外部メモリ5ともアクセス可能であり、内部メモリ2と同様、外部端子P2を介して与えられるイネーブル信号S3のLレベル期間中に外部メモリ5にアクセスする。

モードレジスタ4には、モードデータD4が格納されており、このモードデータD4は外部端子P1を介して外部より外部入力信号S4を入力することにより設定可能である。

イネーブル信号制御回路3は、通常、実使用状態において、アクセスするアドレスに基づき、アクセスするメモリが内部メモリ2であるか外部メモリ5であるかを判断し、アクセスするメモリが内部メモリ2である場合、イネーブル信号S3のLレベル期間を比較的短くし高速アクセスを行い、一方、アクセスするメモリが外部メモリ5である場合、イネーブル信号S3のLレベル期間を比較的長くし低速アクセスを行う、自動アクセス時間変更機能を有している。

この自動アクセス時間変更機能により、高速動作を行うCPUに、比較的低速動作の外部メモリ5の接続を可能にしている。

また、マイクロコンピュータ1は、ROM等の内部メモリ2に書き込むプログラムを開発する時に利用されるエバリュエーションモードを有している。エバリュエーションモードになると、CPUがアクセスするメモリが全て外部メモリ5に設定される。したがって、実使用状態では内部メモリ2に割り当てられたアドレスも、外部メモリ

5の領域5aに割り当てられる。そして、前述したイネーブル信号制御回路3の自動アクセス時間変更機能が不能状態となり、強制的にメモリアクセスは、イネーブル信号S3のLレベル期間を比較的長くして低速で行われる。

ここで、マイクロコンピュータ1が実使用時に、内部メモリ2を用い、さらに、空きアドレス空間に外部メモリ5の領域5bを接続する場合を想定して、エバリュエーションモードを利用してプログラム開発を行う場合を考える。

まず、所定の外部入力信号S4をモードレジスタ4に与え、エバリュエーションモードを指示するモードデータD4を、モードレジスタ4に格納する。すると、CPUのメモリアクセス時に、イネーブル信号制御回路3は、イネーブル信号S3のLレベル期間を比較的長くしたイネーブル信号S3を常に出力する。

この状況下で、外部メモリ5の領域5a及び5bにプログラムを書込み、随時CPUに外部メモリ5に格納されたプログラムを実行させつつプロ

グラム開発を行う。つまり、実使用状態に用いるROM等の内部メモリ2のアドレス空間に、外部メモリ5の領域5aを置き換えてプログラム開発が行われる。

〔発明が解決しようとする課題〕

従来のマイクロコンピュータは以上のように構成されており、プログラム開発用のエバリュエーションモードを有しており、エバリュエーションモードになると、CPUがアクセスするメモリが全て外部メモリ5に設定されると共に、イネーブル信号制御回路3の自動アクセス時間変更機能は不能状態となり、アクセス時間は、常にイネーブル信号S3のLレベル期間を比較的長く設定することにより、強制的に低速で行われる。

したがって、実使用状態では、高速アクセス可能な内部メモリ2にアクセスするアドレスに割り当てられた外部メモリ5の領域5aへのアクセスも、エバリュエーションモード時は低速で行われることになる。このため、エバリュエーションモードにおいて実行されるプログラムの、時間的実行評

価が正しくできないという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、時間的実行評価を正しく行うことのできる、プログラム開発用のエバリュエーションモードを有するマイクロコンピュータを得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかるマイクロコンピュータは、内部メモリを有し、外部メモリともアクセスが可能であって、外部より入力可能で、エバリュエーションモードを指示する第1のモードデータを格納する第1のモードレジスタと、エバリュエーションモード中に、実使用状態に適合した、メモリへのアクセス時間を指示する第2のモードデータを格納する第2のモードレジスタと、前記第1のモードデータに基づき、外部メモリとアクセスするCPUと、前記第2のモードデータに基づき、実使用状態に適合した前記CPUのメモリへのアクセス時間を制御するメモリアクセス時間制御手段とを備えて構成されている。

〔作用〕

この発明におけるメモリアクセス時間制御手段は、第2のモードデータに基づき、エバリュエーションモード中に実使用状態に適合した、CPUのメモリへのアクセス時間を制御する。一方、CPUは第1のモードデータに基づき、外部のメモリとアクセスする。

従って、エバリュエーションモード時にCPUが外部のメモリにアクセスしても、実使用状態に適合したCPUのメモリへのアクセス時間が制御される。

〔実施例〕

第1図はこの発明の一実施例であるマイクロコンピュータを示すブロック図である。

同図に示すように、マイクロコンピュータ1はモードレジスタ4'に加え、モードレジスタ6を有している。モードレジスタ6には、モードデータD6が格納されており、このモードデータD6は図示しないCPUに所定のプログラムを実行させることにより設定可能である。そして、イネー

メモリ2に書込むプログラムを開発する時に利用されるエバリュエーションモードを有している。エバリュエーションモードになると、CPUがアクセスするメモリが全て外部メモリ5に設定される。したがって、実使用状態では内部メモリ2に割り当てられたアドレスも、外部メモリ5の領域5aに割り当てられる。

しかしながら、前述したように、エバリュエーションモードに設定されても、イネーブル信号制御回路3の自動アクセス時間変更機能は不能状態とならず、モードレジスタ6に所定のモードデータD6を書込むことにより、実行することができる。

ここで、マイクロコンピュータ1が実使用時に、内部メモリ2を用い、さらに、空きアドレス空間に外部メモリ5の領域5bを接続する場合を想定して、エバリュエーションモードを利用してプログラム開発を行う場合を考える。

まず、所定の外部入力信号S4'をモードレジスタ4'に与え、エバリュエーションモードを

ブル信号制御回路3のイネーブル信号S3のLレベル期間は、モードレジスタ6に格納されたモードデータD6に基づき決定される。

また、モードレジスタ4'にはモードデータD4'が格納されており、このモードデータD4'は外部端子P1'を介して外部より外部入力信号S4'を入力することにより設定可能である。

イネーブル信号制御回路3は、アクセスするアドレスに基づき、実使用状態にアクセスするメモリが内部メモリ2であると判定して、イネーブル信号S3のLレベル期間を比較的短くし高速アクセスを行ったり、実使用状態時にアクセスするメモリが外部メモリ5であると判定して、イネーブル信号S3のLレベル期間を比較的長くし低速アクセスを行う、自動アクセス時間変更機能を有している。この自動アクセス時間変更機能は、モードレジスタ6にはモードデータD6が所定の値に設定された場合に実行される。なお、他の構成は従来と同様であるため、説明は省略する。

マイクロコンピュータ1は、従来同様、内部メ

モリ2に書込むプログラムを開発する時に利用されるエバリュエーションモードを有している。エバリュエーションモードになると、CPUがアクセスするメモリが全て外部メモリ5に設定される。したがって、実使用状態では内部メモリ2に割り当てられたアドレスも、外部メモリ5の領域5aに割り当てられる。

この状況下で、外部メモリ5の領域5a及び5bにプログラムを書込み、随時CPUに外部メモリ5に格納されたプログラムを実行させつつプログラム開発を行う。つまり、実使用状態に用いるROM等の内部メモリ2のアドレス空間に、外部メモリ5の領域5aを置き換えてプログラム開発が行われる。

この時、自動アドレス変更機能が働くことにより、実使用状態において、アクセスするメモリが内部メモリ2に相当する外部メモリの領域5aの場合、イネーブル信号S3のLレベル期間を比較的短くし高速アクセスを行い、一方、実使用時も

アクセスするメモリが、外部メモリ5である場合、すなわち外部メモリの領域5bアクセスする場合、イネーブル信号S3のLレベル期間を比較的長くし低速アクセスを行う。

つまり、エバリュエーションモードになっても、実使用状態では、高速アクセス可能な内部メモリ2にアクセスするアドレスに割当てられた外部メモリ5の領域5aへのアクセスは高速で行われることになる。その結果、エバリュエーションモードにおいて実行されるプログラムの時間的実行評価を正しく行うことができる。

このように、エバリュエーションモードを指示するモードデータD4'を格納するモードレジスタ4'と、実使用状態に適合したメモリへのアクセス時間を指示するモードデータD6を格納するモードレジスタ6とをそれぞれ独立して設けることにより、エバリュエーションモードであっても、実使用状態を想定してメモリアクセスを行うことができるため、実行されるプログラムの時間的実行評価を正しく行うことができる。

〔発明の効果〕

以上説明したように、この発明によれば、メモリアクセス時間制御手段は、第2のモードデータに基づき、実使用状態に適合したCPUのメモリへのアクセス時間を制御する。一方、CPUは第1のモードデータに基づき、外部のメモリとアクセスする。

その結果、CPUが外部のメモリにアクセスするプログラム開発用のエバリュエーションモード時であっても、実使用状態では内部メモリにアクセスする場合は、内部メモリに応じたアクセス時間でアクセスさせることができるため、時間的実行評価を正しく行うことのできるエバリュエーションモードが実現できる。

4. 図面の簡単な説明

第1図はこの発明の一実施例であるマイクロコンピュータを示すブロック図、第2図は従来のマイクロコンピュータを示すブロック図である。

図において、1はマイクロコンピュータ、2は内部メモリ、3はイネーブル信号制御回路、4'、

なお、実使用時に内部メモリ2のみを用いる場合を想定して、エバリュエーションモードを利用してプログラム開発を行う場合は、所定の外部入力信号S4'をモードレジスタ4'に与え、エバリュエーションモードを指示するモードデータD4'をモードレジスタ4'に格納し、実使用状態に適合した、内部メモリ2用のアクセス時間を指示するモードデータD6をモードレジスタ6に格納するように、開発中のプログラム内に書込めばよい。

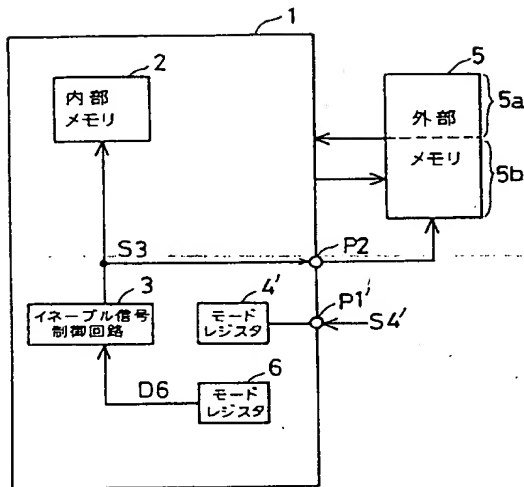
また、実使用時に外部メモリ5のみを用いる場合を想定して、エバリュエーションモードを利用してプログラム開発を行う場合は、所定の外部入力信号S4'をモードレジスタ4'に与え、エバリュエーションモードを指示するモードデータD4'をモードレジスタ4'に格納し、実使用状態に適合した、外部メモリ5用のアクセス時間を指示するモードデータD6をモードレジスタ6に格納するように、開発中のプログラム内に書込めばよい。

6はモードレジスタ、5は外部メモリである。

なお、各図中同一符号は同一または相当部分を示す。

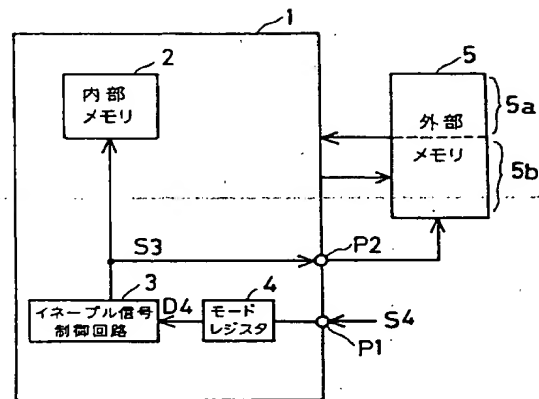
代理人 大 岩 増 雄

第 1 図



1: マイクロコンピュータ

第 2 図



手 続 補 正 書(自発)

平成 2 年 7 月 30 日

特許庁長官殿

1. 事件の表示 特願 1-340217号

2. 発明の名称
マイクロコンピュータ

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)


方 式 査 閲

5. 補正の対象

明細書の「発明の詳細な説明の欄」

6. 補正の内容

(1) 明細書第2頁第12行の「内部メモリ2」とを、「内部メモリ2を」に訂正する。

(2) 明細書第2頁第16行の「外部メモリ5に」を、「外部メモリ5を」に訂正する。

(3) 明細書第3頁第11行の「この自動アクセス時間変更機能により、」を、「この自動アクセス時間変更機能は、例えばCPUが外部メモリ5に対するアクセス時間を短くするか長くするかを選択でき、アクセス時間を長く設定している場合に有効であり、」に訂正する。

(4) 明細書第3頁第15行、第9頁第1行及び第10頁第6行の「書込む」を、「書き込む」に訂正する。

(5) 明細書第4頁第7行ないし第8行の「空きアドレス空間に」を、「内部には存在しないアドレス空間である」に訂正する。

(6) 明細書第4頁第14行の「すると、CP

Uのメモリ」を、「そして、CPUが外部メモリ5をアクセスする時にはそのアクセス時間を長くとれるように設定しておいた場合、」に訂正する。

(7) 明細書第4頁第19行及び第10頁第10行の「書込み」を、「書き込み」に訂正する。

(8) 明細書第5頁第2行の「アドレス空間に」を、「アドレス空間を」に訂正する。

(9) 明細書第5頁第3行の「領域5aを」を、「領域5aに」に訂正する。

(10) 明細書第5頁第10行「設定されると共に、」を、「設定されると共に、外部メモリ5がアクセスされるとアクセス時間を長くとれるように設定しておいた場合、」に訂正する。

(11) 明細書第5頁第12行の「アクセス時間」を、「外部メモリ5のアクセス時間」に訂正する。

(12) 明細書第5頁第13行ないし第14行の「しレベル期間を比較的長く設定することにより」を、「しレベル期間が比較的長く設定されることにより」に訂正する。

(13) 明細書第5頁第16行ないし第17行の

「割当て」を、「割り当て」に訂正する。

(14) 明細書第6頁第16行の「外部メモリと」を、「外部メモリを」に訂正する。

(15) 明細書第7頁第6行の「外部のメモリと」を、「外部のメモリを」に訂正する。

(16) 明細書第7頁第9行の「外部のメモリに」を、「外部のメモリを」に訂正する。

(17) 明細書第8頁第10行の「内部メモリ2であると判定して」を、「内部メモリ2であれば」に訂正する。

(18) 明細書第8頁第12行の「行ったり、」を、「行ったり、外部メモリ5をアクセスする時にはアクセス時間を長くするように設定している場合、」に訂正する。

(19) 明細書第8頁第13行の「外部メモリ5であると判定して、」を、「外部メモリ5であれば、」に訂正する。

(20) 明細書第9頁第15行ないし第16行の「空きアドレス空間に」を、「内部には存在しないアドレス空間である」に訂正する。

(21) 明細書第10頁第3行の「外部メモリ5に」を、「外部メモリ5を」に訂正する。

(22) 明細書第11頁第2行の「領域5b」を、「領域5bを」に訂正する。

(23) 明細書第11頁第6行ないし第7行の「内部メモリ2に」を、「内部メモリ2を」に訂正する。

(24) 明細書第12頁第9行ないし第10行及び第19行ないし第20行の「格納するように、開発中のプログラム内に書込めばよい。」を「格納する。」に訂正する。

以上